1. **Зміст**
2. Зміст ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... *1*
3. Введення ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... *2*
4. Огляд літературних джерел ... ... ... ... ... ... ... ... ... ... ... ... ... *3*
   1. Загальні відомості про регістрах ... ... ... ... ... ... ... ... ... ... ... ... ... *3*
   2. Загальні відомості про тригерах ... ... ... ... ... ... ... ... ... ... .... ... ... *6*
   3. Зсувні регістри ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... .. *12*
   4. Універсальні регістри ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... .. *20*
5. Розробка схеми регістра зсуву ... ... ... ... ... ... ... ... ... ... ... ... ... *24*
   1. Вихідні дані ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... *24*
   2. Порядок розробки регістра зсуву ... ... ... ... ... ... ... .. ... ... ... *24*
   3. Розробка чотирьохфазної регістра зсуву ... ... ............ ... ... ... *25*
6. Висновок ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... ... .... *27*
7. Список використаної літератури ... ... ... ... ... ... ... ... ... ... ... ... .... *28*
8. **Введення**

**Регістри** - найпоширеніші вузли цифрових пристроїв. Вони оперують з безліччю пов'язаних змінних, складових слово.Над словами виконується ряд операцій: прийом, видача, зберігання, зрушення у розрядній сітці, порозрядне [логічні операції](http://ua-referat.com/%D0%9B%D0%BE%D0%B3%D1%96%D1%87%D0%BD%D1%96_%D0%BE%D0%BF%D0%B5%D1%80%D0%B0%D1%86%D1%96%D1%97).

Зсувні (послідовні) регістри використовуються для зсуву *n-розрядних* чисел в одному напрямку. Крім того, їх можна застосовувати для зсуву нечислової інформації.

Регістри зсуву застосовують як запам'ятовуючих пристроїв, як перетворювачів послідовного коду в паралельний, як пристрої затримки і лічильників імпульсів (правда, застосування сдвигающих регістрів як лічильників досить неекономічно).

1. **Огляд літературних джерел**
   1. **Загальні відомості про регістри**

Регістри складаються з розрядних схем, в яких є тригери і, найчастіше, також і [логічні елементи](http://ua-referat.com/%D0%9B%D0%BE%D0%B3%D1%96%D1%87%D0%BD%D1%96_%D0%B5%D0%BB%D0%B5%D0%BC%D0%B5%D0%BD%D1%82%D0%B8). Діють вони як єдине ціле.

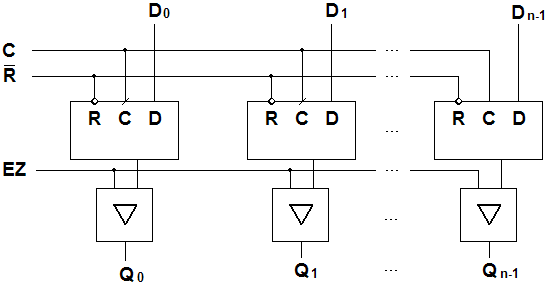
За кількістю ліній передачі змінних регістри поділяються на однофазні і парафазного, за системою синхронізації на однотактний, двотактні і багатотактного. Однак головним класифікаційним ознакою є спосіб прийому і видачі даних. За цією ознакою розрізняють **паралельні (статичні)** регістри, **послідовні (зсувні)** і **паралельно-послідовні.**

У паралельних регістрах прийом і видача слів проводиться в усіх розрядах одночасно. У них зберігаються слова, які можуть бути піддані порозрядним логічним перетворенням.

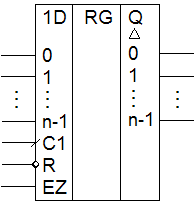
У послідовних регістрах слова приймаються і видаються розряд за розрядом. Їх називають зрушуючими, так як тактирующие сигнали при введенні і виведенні слів переміщують їх у розрядній сітці. Зсувний регістр може бути нереверсійним (з односпрямованим зрушень) або реверсивним (з можливістю зсуву в обох напрямках).

Послідовно-паралельні регістри мають входи-виходи одночасно послідовного та паралельного типу. Є варіанти з послідовним входом і паралельним виходом (SIPO, Serial Input - Parallel Output), паралельним входом і послідовним виходом (PISO, Parallel Input - Serial Output), а також варіанти з можливістю будь-якого поєднання способів прийому і видачі слів.

У паралельних (статичних) регістрах схеми розрядів не обмінюються даними між собою. Спільними для розрядів зазвичай є ланцюга тактирования, скидання / установки, дозвіл виходу або прийому, тобто ланцюга керування. Приклад схеми статичного регістра, побудованого на тригерах D-типу з прямими динамічними входами, що має входи скидання R і виходи з третім станом, керовані сигналом EZ, зображений на **малюнку 1.**



a)



б)

**Малюнок 1.** Схема статичного регістра (а) і його умовне графічне позначення (б)

Для сучасної схемотехніки характерно побудова регістрів на тригерах D-типу, переважно з динамічним управлінням.Багато хто має виходи з третім станом. Деякі регістри відносяться до числа буферних, тобто розраховані на роботу з великими ємнісними та / або низькоомними активними навантаженнями. Це забезпечує їх роботу безпосередньо на магістраль (без додаткових схем інтерфейсу).

З статичних регістрів складаються блоки реєстрової пам'яті - реєстрові файли.

Головні функції регістрів:

* 1. Зберігання інформації,
  2. Прийом інформації,
  3. Видача інформації,
  4. Зрушення інформації,
  5. Перетворення кодів,
  6. Встановлення в нуль або в одиницю потрібного числа,
  7. Порозрядне логічні операції: диз'юнкція, кон'юнкція, додавання за модулем 2.
  8. **Загальні відомості про тригерах**

**Тригери -** великий клас електричних пристроїв, що дозволяють довго перебуває в одному з двох (чи більше) стійких станів і чергувати їх під впливом зовнішніх сигналів (в слідстві регенеративного процесу (перехідний процес в електричному ланцюзі, охопленої ПОС)).

Тригер - імпульсна логічний пристрій з пам'яттю (елемент пам'яті - фіксатор).

Існує більше десятка різних інтегральних тригерів. В основу їх класифікації покладені:

- Функціональний ознака,

- Спосіб запису інформації в тригер.

За функціональною ознакою розрізняють Т-тригери, JK-тригери, RS-тригери, D-тригери, комбіновані [тригери](http://ua-referat.com/%D0%A2%D1%80%D0%B8%D0%B3%D0%B5%D1%80%D0%B8)(TV, DV, E, R) і т.д.

За способом запису (прийому) інформації розрізняють:

* 1. Асинхронні тригери:

а) з внутрішньою затримкою;

б) керовані рівнем вхідного імпульсу;

* 1. Синхронні тригери (тактируемого):

а) з внутрішньою затримкою;

б) керовані рівнем тактуючого імпульсу:

- Однотактного дії (одноступінчаті);

- Багаторазової дії.

Запис інформації в тактируемого тригери здійснюється тільки при подачі дозволяючого тактуючого імпульсу. Такі тригери поділяють на керовані рівнем (для спрацьовування необхідний певний рівень сигналу) і керовані фронтом (не залежать від рівня сигналу, важливо його присутність) тактуючого імпульсу. Тактирующие імпульси іноді ще називають синхронізуючими, виконавчими, командними сигналами (на схемах зазвичай позначають буквою С - Clock).

Д http://ua-referat.com/ref-0_549015028-880.coolpichttp://ua-referat.com/ref-0_549015908-879.coolpichttp://ua-referat.com/ref-0_549016787-902.coolpichttp://ua-referat.com/ref-0_549017689-882.coolpichttp://ua-referat.com/ref-0_549015028-880.coolpichttp://ua-referat.com/ref-0_549019451-902.coolpichttp://ua-referat.com/ref-0_549020353-213.coolpichttp://ua-referat.com/ref-0_549020566-852.coolpicінаміческій вхід може бути прямим і інверсним. Пряме динамічне управління передбачає дозвіл на перемикання при зміні тактового сигналу з нульового значення на одиничне ().Інверсне динамічне управління - зміна тактового сигналу з одиничного на нульовий ().

У http://ua-referat.com/ref-0_549021418-208.coolpichttp://ua-referat.com/ref-0_549021626-838.coolpicправління фронтом тактуючого імпульсу:

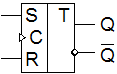
У http://ua-referat.com/ref-0_549022464-205.coolpichttp://ua-referat.com/ref-0_549022669-516.coolpicправління спадом тактуючого імпульсу:

У http://ua-referat.com/ref-0_549023185-208.coolpichttp://ua-referat.com/ref-0_549023393-557.coolpicправління верхнім рівнем тактуючого імпульсу:

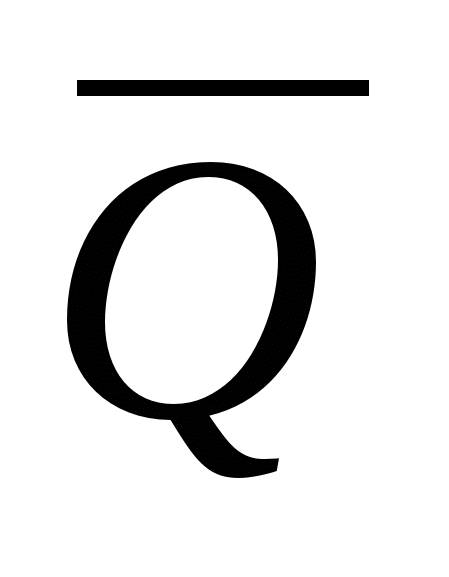
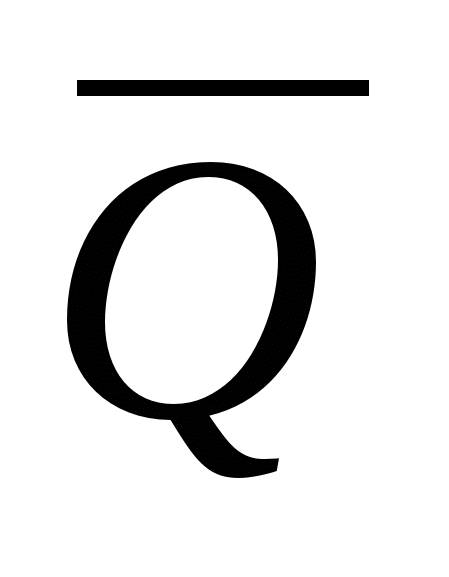
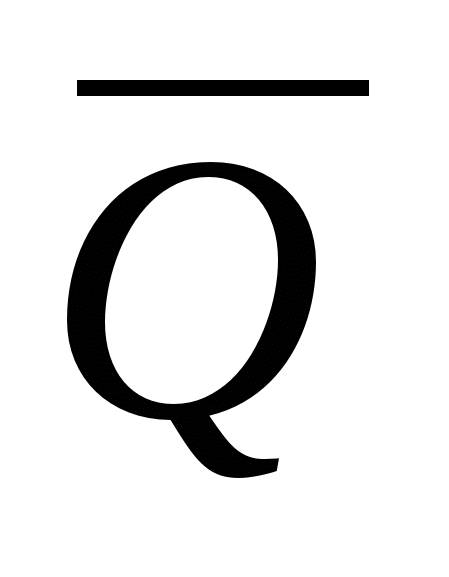
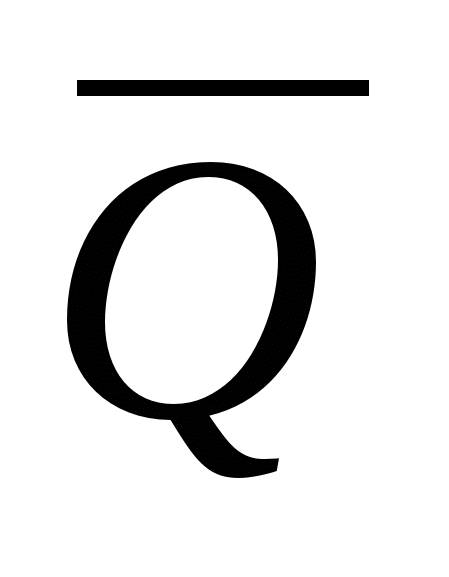
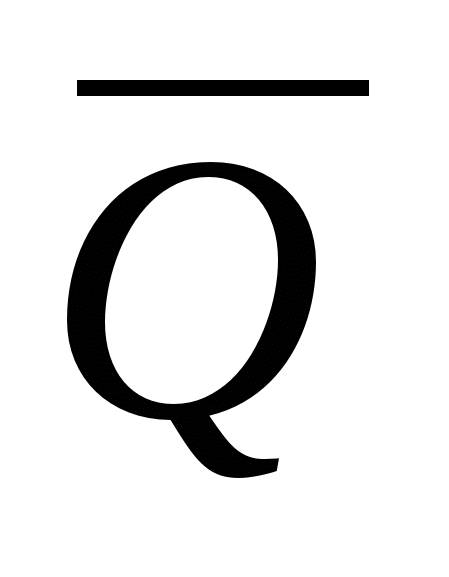
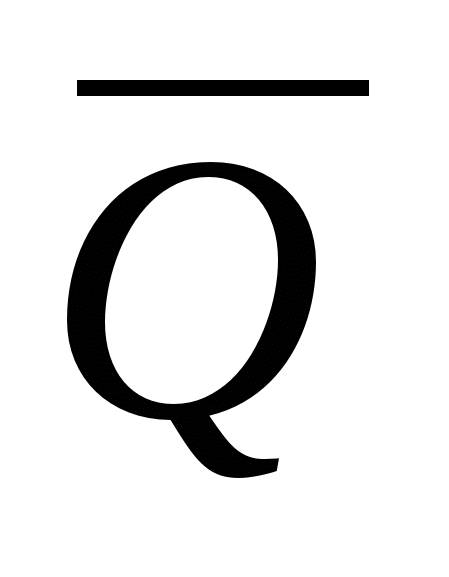
Управління нижнім рівнем тактуючого імпульсу:

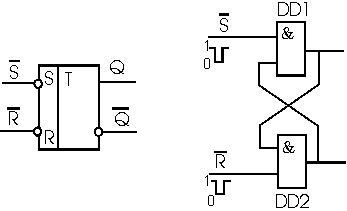
Тактируемого тригери з внутрішньою затримкою (спрацьовують після закінчення дії сигналу) є, як правило, однотактним. Багатотактного тригери спрацьовують після *n-ного* імпульсу.

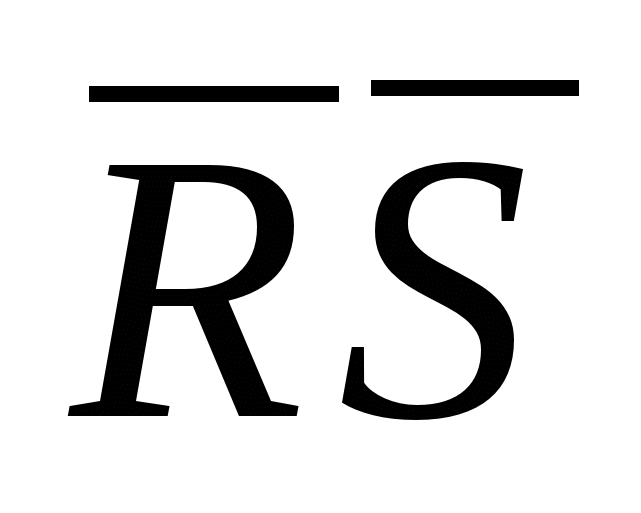
RS-тригер має два інформаційні входи: S (Set) і R (Reset). Одночасна подача сигналів S і R не допускається. На**малюнку 2** зображено синхронний RS-тригер, що спрацьовує по фронту тактуючого сигналу.

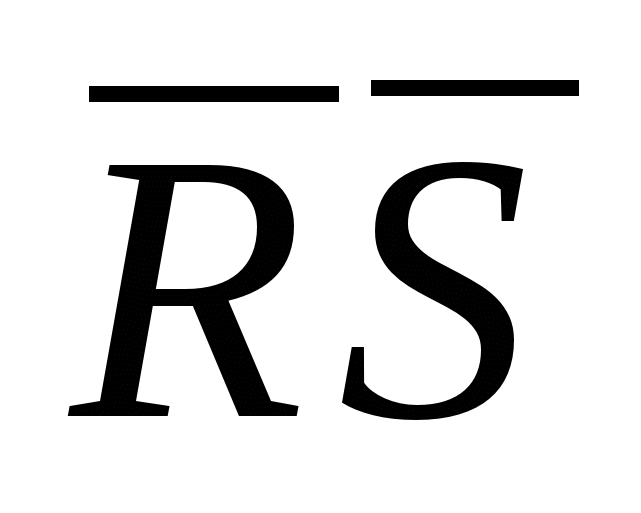
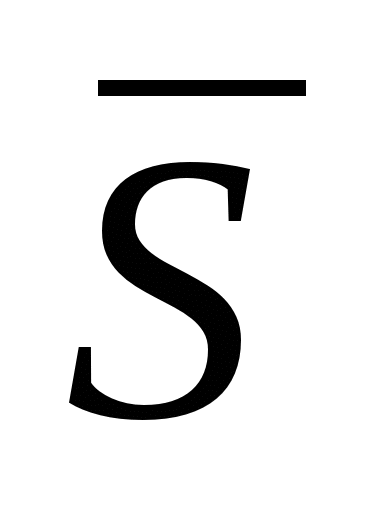
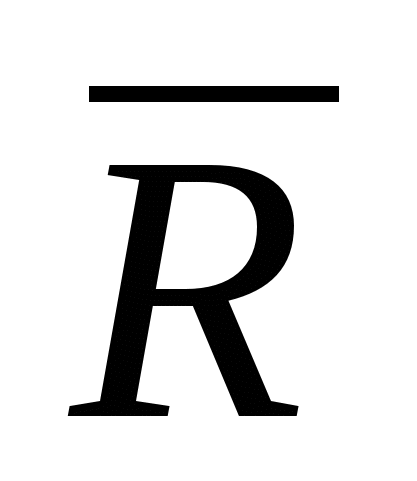
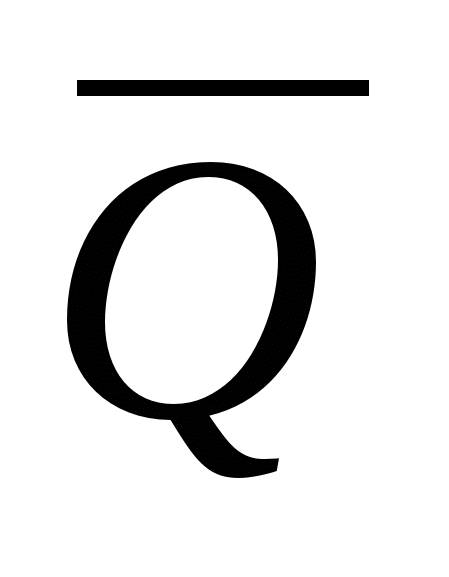


**Рисунок 2.** Синхронний RS-тригер

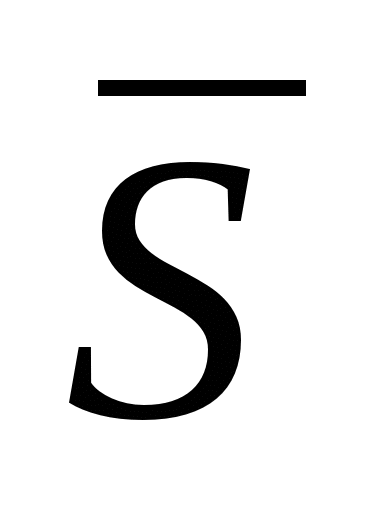
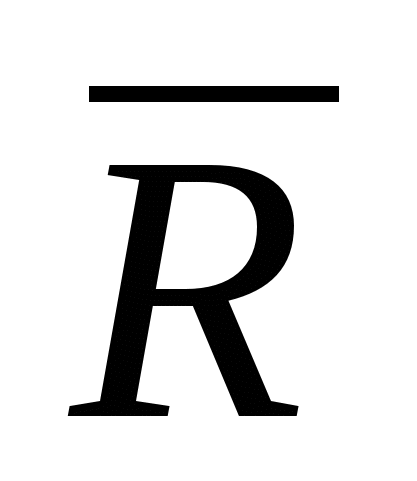
Крім входів, найпростіший RS-тригер має і два виходи. Виходи позначають *Q* і  . Вихід *Q* називають прямим, a  - Інверсним. Рівні напруги на обох виходах взаємно інверсний: якщо сигнал *Q* = 1, то  = 0, або якщо *Q* = 0, то  = 1.Необхідно ще відзначити, що стан тригера, при якому *Q* = 1, a  = 0, називають одиничним. При нульовому стані тригера *Q*= 0 і  = 1. З надходженням сигналів на входи тригера в залежності від його стану або відбувається перемикання, або початковий стан зберігається.

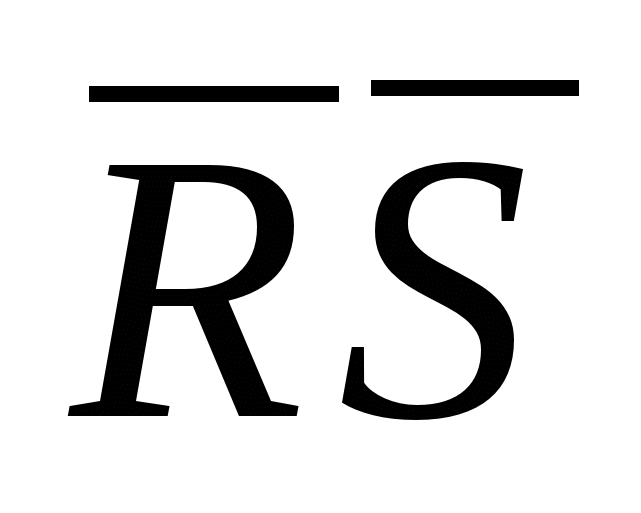


**Малюнок 3.** **** **-** Тригер: його умовне графічне позначення та схема з двома логічними елементами І-НЕ

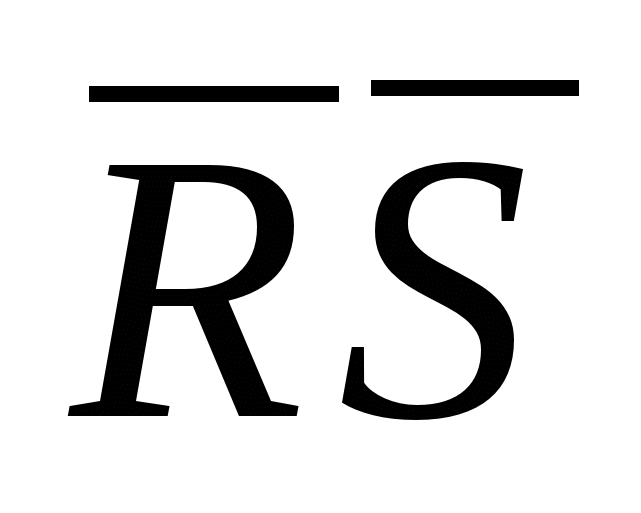
На **малюнку 3** показаний найпростіший тригер - типу **** . Тут використані тільки два логічних елемента І-НЕ. Призначення входів:  -Для встановлення тригера в одиничне стан і  - Для повернення в нульовий стан. Риски над позначеннями входів показують, що перемикання тригера відбувається, коли вхідна напруга високого рівня змінюється напругою низького рівня **(малюнок 4).** Неважко бачити, що коли на входи не надходять сигнали, тригер зберігає свій стан. Якщо, наприклад, *Q* = 1 і  = 0, тобто тригер в одиничному стані, то, оскільки вихід DD1 пов'язаний з одним із входів DD2, а вихід DD2 - з одним із входів DD1, на двох входах DD2 діє напруга

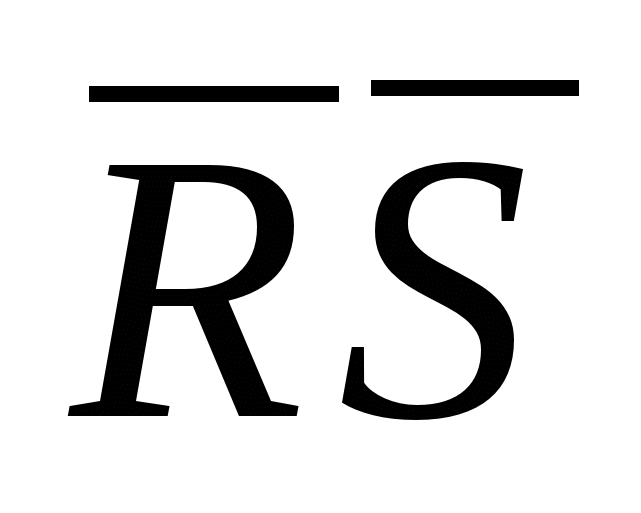
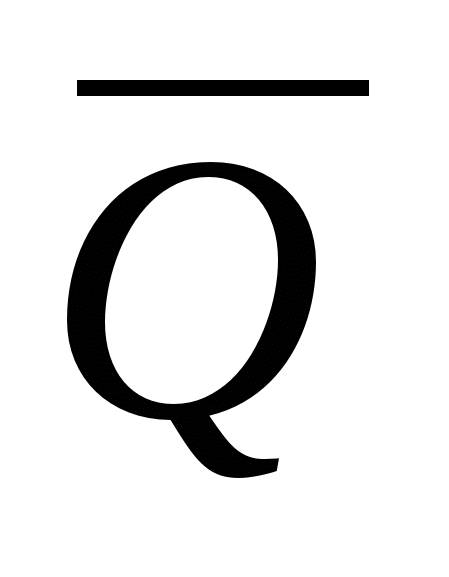
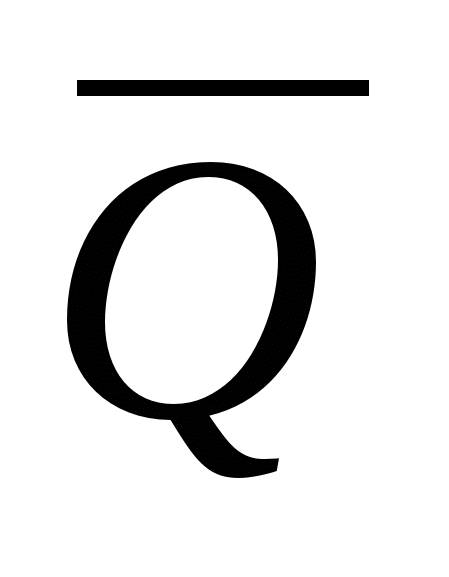
|  |  |
| --- | --- |
| http://ua-referat.com/ref-0_549100482-3109.coolpic  **Малюнок 4.**Тимчасова діаграма роботи **http://ua-referat.com/ref-0_549066598-8901.coolpic** **-**Тригера | високого, а на виході - низького ( http://ua-referat.com/ref-0_549025296-6181.coolpic = 0) рівня. У той же час на одному з входів DD1 напруга низького, а на виході - високого рівня. Якщо тепер на вхід http://ua-referat.com/ref-0_549084400-4651.coolpic надходить сигнал з означеної полярністю (момент *t1,***малюнок 4),** стан тригера не зміниться, тому що надходження сигналу на другий вхід DD1 тимчасово змінить тільки поєднання сигналів на входах (до подачі сигналу воно було 1 і 0, а стало 0 і 0), але вихідна стан DD1 залишається при цьому незмінним. Якщо, проте, сигнал надійде на вхід http://ua-referat.com/ref-0_549089051-5250.coolpic (Момент *t2),* на обох входах DD2 вже виявляться напруги різного рівня, стан логічних елементів зміниться і на виході його буде напруга високого рівня. На обох входах DD1 виявляться напруги високого рівня, а на виході - низького, тобто тригер "перекинеться" і перейде в інший стан: *Q* = 0 і http://ua-referat.com/ref-0_549025296-6181.coolpic = 1. |

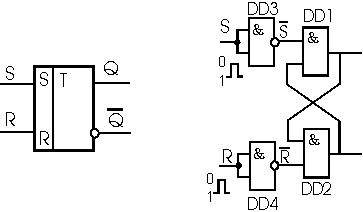
Зі сказаного випливає, що зміна стану тригера відбувається лише при чергуванні сигналів низького рівня на входах  і  . При цьому, якщо такі сигнали надійдуть на обидва входи одночасно, то після їх припинення стан тригера стане невизначеним (стан *Q*= 0 або *Q* = 1 равновероятно). Тому одночасна подача сигналів низького рівня на обидва входи не дозволяється.

Робота  -Тригера характеризується таблицею станів (індекси *n* і *n +1* означають приналежність сигналу моменту часу *t n* і наступного за ним *t n +1):*

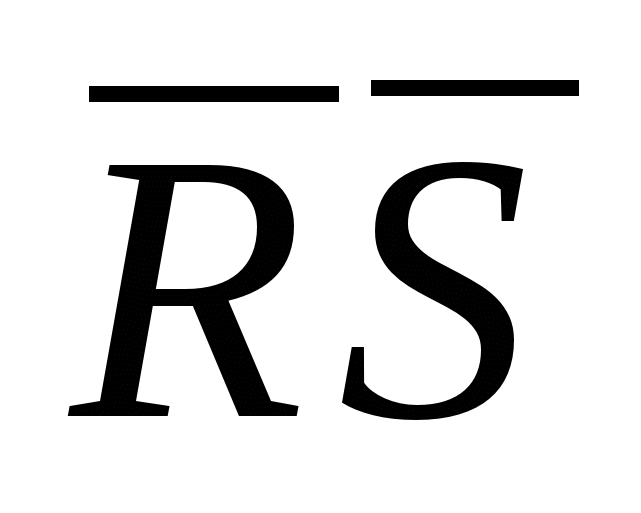
|  |  |  |  |
| --- | --- | --- | --- |
| http://ua-referat.com/ref-0_549153557-6968.coolpic | http://ua-referat.com/ref-0_549160525-6052.coolpic | http://ua-referat.com/ref-0_549166577-7947.coolpic | http://ua-referat.com/ref-0_549174524-9467.coolpic |
| 1 | 1 | http://ua-referat.com/ref-0_549183991-6259.coolpic | http://ua-referat.com/ref-0_549190250-7862.coolpic |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | Невизначений стан | |

Не дозволяється одночасна подача напруги низького рівня на обидва входи  -Тригера.

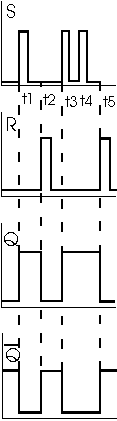
Тригер типу RS, як і  -Тригер, "запам'ятовує", на який з двох входів (R або S) надійшов останній сигнал: якщо на вхід R, тригер знаходиться в нульовому стані *(Q* = 0 і  = 1), а якщо на вхід S, то в одиничному стані *(Q* = 1 і  = 0).



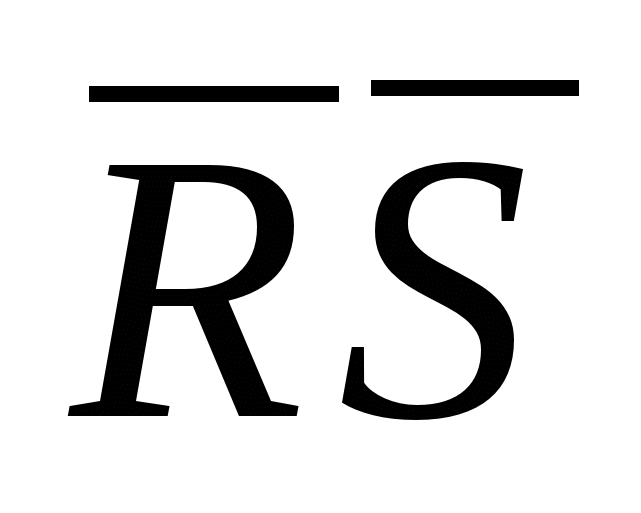
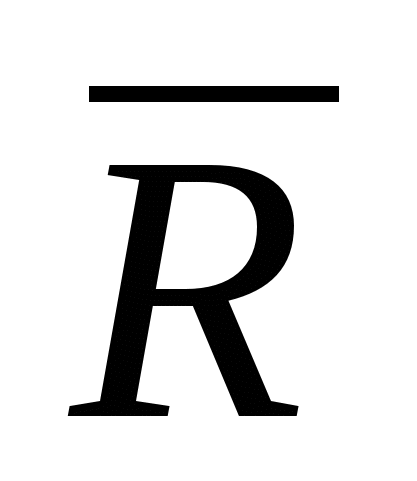
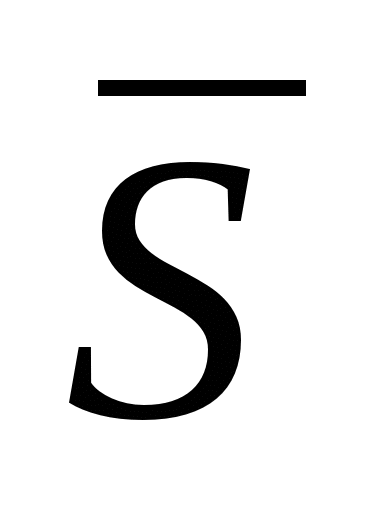
**Малюнок 5.** RS **-** тригер: його умовне графічне позначення та схема з чотирма логічними елементами І-НЕ

На **малюнку 5** показано схему RS-тригера, виконаного на логічних елементах І-НЕ.Вона відрізняється від схеми  -Тригера тим, що до кожного входу додано по инвертору (DD3 і DD4), які лише забезпечують необхідний рівень вхідних сигналів.

Зміна вхідних сигналів від низького рівня до високого призводить до зміни стану[тригера](http://ua-referat.com/%D0%A2%D1%80%D0%B8%D0%B3%D0%B5%D1%80%D0%B8)(моменти *t1, t2, t2 і t5;* в момент *t4* перекидання не відбувається, так як тригер вже встановлено в одиничний стан в попередній момент *- t3,* **малюнок 6).**



**Малюнок 6.** Тимчасова діаграма роботи RS **-** тригера

Все сказане щодо RS-тригера зберігає силу і для  -Тригера. Єдина відмінність стосується інверсії рівнів вхідних сигналів (R замість  і S замість  ).

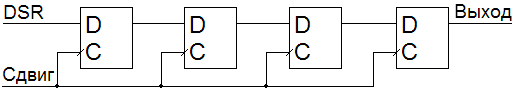
Робота RS-тригера характеризується наступною таблицею станів:

|  |  |  |  |
| --- | --- | --- | --- |
| http://ua-referat.com/ref-0_549263887-5569.coolpic | http://ua-referat.com/ref-0_549269456-5331.coolpic | http://ua-referat.com/ref-0_549166577-7947.coolpic | http://ua-referat.com/ref-0_549174524-9467.coolpic |
| 0 | 0 | http://ua-referat.com/ref-0_549183991-6259.coolpic | http://ua-referat.com/ref-0_549190250-7862.coolpic |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Невизначений стан | |

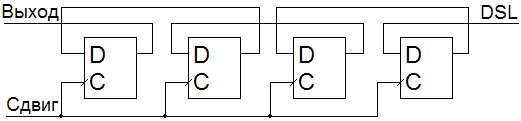
* 1. **Зсувні регістри**

**Тригерним регістром зсуву** називають сукупність тригерів з певними зв'язками між ними, при яких вони діють як єдиний пристрій. Послідовні (зсувні) регістри представляють собою ланцюжок розрядних схем, пов'язаних ланцюгами перенесення.

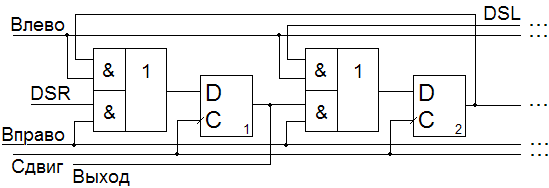
У однотактний регістрах із зсувом на один розряд вправо **(малюнок 7)** слово зсувається при надходженні сигналу синхронізації. Вхід і вихід послідовні (DSR - Data Serial Right). На **малюнку 8** показана схема регістра із зсувом вліво (вхід даних DSL - Data Serial Left), а на **малюнку 9** ілюструється принцип побудови реверсивного регістра, в якому є зв'язку тригерів з обома сусідніми розрядами, але відпо-чих сигналами дозволяється робота тільки одних з цих зв'язків (команди «вліво» і «праворуч» одночасно не подаються).



**Малюнок 7.** Схема право-зрушується регістру



**Малюнок 8.** Схема ліво-зрушується регістру



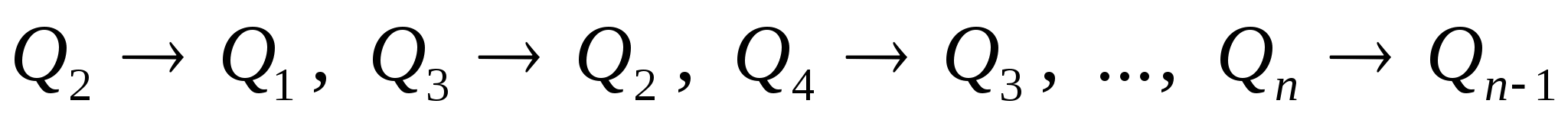
**Малюнок 9.** Схема реверсивного регістру

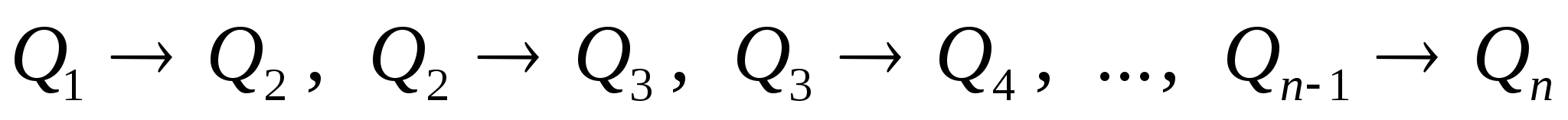
Згідно з вимогами синхронізації, сдвигающих регістрах, що не мають логічних елементів в міжрозрядних зв'язках, не можна застосовувати одноступінчасті тригери, керовані рівнем, оскільки деякі тригери можуть за час дії дозволяє рівня синхросигнала переключиться неодноразово, що неприпустимо. У даних схемах слід застосувати тригери з динамічним[управлінням](http://ua-referat.com/%D0%A3%D0%BF%D1%80%D0%B0%D0%B2%D0%BB%D1%96%D0%BD%D0%BD%D1%8F)(двоступеневі).

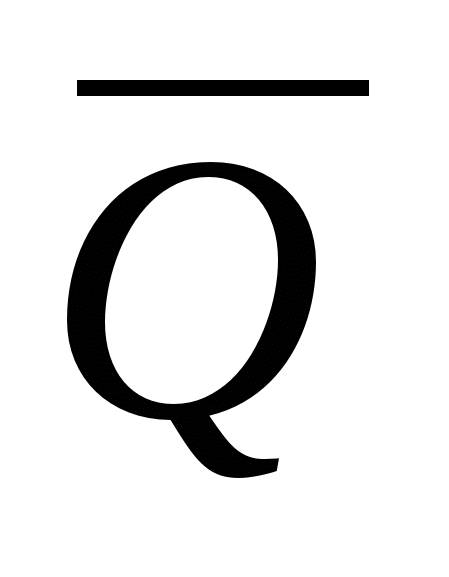
Поява в міжрозрядних зв'язках логічних елементів і, тим більше, логічних схем непоодинокий глибини спрощує виконання умов працездатності регістрів і розширює спектр типів тригерів, придатних для цих схем.

Багатотактного зсувні регістри управляються кількома синхропоследовательностями. З їх числа найбільш відомі двотактні з основним і додатковим регістрами, побудованими на простих одноступінчатих тригерах, керованих рівнем. За такту С1 вміст основного регістра переписується в додатковий, а по такту С2 повертається в основний, але вже в сусідні розряди, що відповідає зрушенню слова. За витратами обладнання та швидкодії цей варіант близький до однотактному регістру з двоступінчастими тригерами.

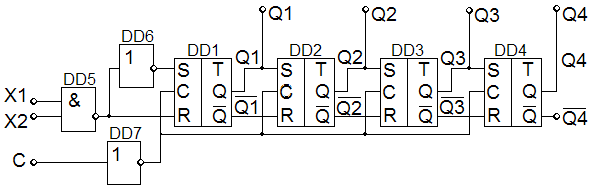
У регістрі зсуву присутній набір тригерів з певними зв'язками між ними і організація цих зв'язків така, що при подачі тактового імпульсу, спільного для всіх тригерів, вихідний стан кожного тригера зсувається в сусідній. Залежно від організації зв'язків цей зсув може відбуватися вліво або вправо:

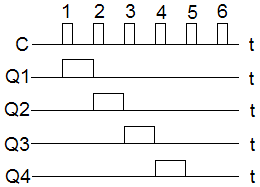
 - Зрушення вліво

 - Зрушення вправо

Введення інформації в регістр може виконуватися різними способами, проте найбільш часто використовують паралельний або послідовний введення, при яких введення двійкового числа здійснюється або одночасно в усі розряди регістру, або послідовно в часі по окремим розрядам. У лічильниках імпульсів знаходять застосування зсувні регістри з послідовним введенням і виведенням інформації і зі зсувом вправо. На **малюнку 10 a** наведена схема чотирирозрядний регістра зсуву, виконаного на RS-тригерах. У цій схемі кожен вихід *Q* тригера з'єднаний зі входом S подальшого розряду, а кожен вихід  - З входом R. Тактові входи всіх тригерів з'єднані разом, і надходження сигналу синхронізації здійснюється одним загальним імпульсом через логічний елемент І-НІ (DD 7). Стан першого тригера визначається вхідними сигналами на входах Х1, Х2 логічного елемента І-НЕ (DD 5). На вхід Х1 подається поточна інформація, а на вхід Х2 сигнал дозволу її передачі. Логічний елемент НЕ використовується (DD 6) використовується для інвертування вхідного сигналу, що подається на вхід S.

На **малюнку 10 б** наведені часові діаграми вихідних сигналів тригерів і стану регістрів при записі в перший розряд одиничного сигналу. Якщо при надходженні першого тактового імпульсу на входах Х1 і Х2 встановлені сигнали Х1 = Х2 = 1, які потім знімаються до приходу другого тактового імпульсу, то в результаті в перший тригер буде записаний сигнал *Q 1* = *1.* З приходом другого тактового імпульсу в перший тригер буде записаний сигнал *Q 1* = 0, а на виході другого тригера з'явиться сигнал *Q 2* = 1, який перед цим був на виході другого тригера. При надходженні наступних тактових імпульсів одиничний сигнал переміщається послідовно в третій і четвертий тригери, після чого всі тригери встановлюються в нульовий стан.



a )

|  |
| --- |
|  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **n** | ***Q 1*** | ***Q 2*** | ***Q 3*** | ***Q 4*** |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 1 |

б)

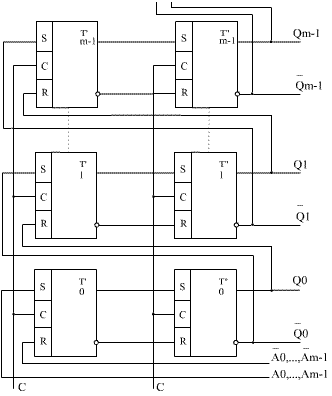
**Малюнок 10.** Схема чотирьохфазної регістра зсуву (а), тимчасові діаграми його сигналів і стану регістрів при записі в перший розряд одиничного [сигналу](http://ua-referat.com/%D0%A1%D0%B8%D0%B3%D0%BD%D0%B0%D0%BB)(б)

Зсувні регістри також можна реалізувати на D-тригерах мул JK-тригерах. Для всіх регістрів зсуву характерні наступні положення:

1) необхідна попередня установка вихідного стану і введення одиниці в перший тригер

2) для регістра з *n* тригерів після надходження *n* вхідних тактових імпульсів спочатку введена одиниця виводиться, внаслідок чого прямі виходи всіх регістрів виявляються в нульовому стані.

Інтегральні мікросхеми регістрів зсуву бувають реверсивними, тобто виконують зрушення в будь-якому напрямку: ліворуч або праворуч. Напрямок зсуву визначається значенням керуючого сигналу.

****

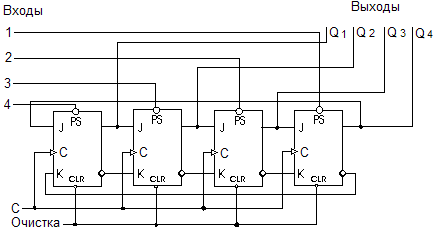
**Малюнок 11. Реалізація регістра зсуву на однотактний RS-тригерах**

Послідовний регістр зсуву володіє двома недоліками: він дозволяє вводити тільки по одному біту інформації на кожному тактовом імпульсі і, крім того, кожного разу при зсуві інформації в регістрі вправо втрачається крайній правий інформаційний біт. На **малюнку 12** показана система, яка дозволяє здійснювати одночасну паралельну завантаження 4 біт інформації.

****

**Малюнок 12.** Структурна схема 4-розрядного паралельного регістра

Входи 1, 2, 3, 4 у цьому пристрої є інформаційними входами. Цю систему можна забезпечити ще однієї корисної характеристикою - можливістю кільцевого переміщення інформації, коли дані з виходу пристрою повертаються на його вхід і не втрачаються.



**Малюнок 13.** Логічна схема чотирирозрядний паралельного кільцевого регістра

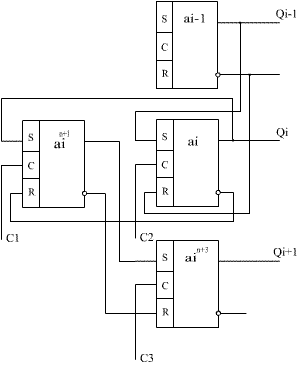
Схема 4-розрядного паралельного кільцевого регістра зсуву показана на **малюнку 13.** У цьому регістрі зсуву використовуються чотири JK-тригера. Завдяки ланцюга зворотного зв'язку введена в регістр інформація, яка зазвичай втрачається на виході четвертого триггера, буде циркулювати по регістру зсуву. Сигналом очищення регістра (встановлення його виходів у стан 0000) є рівень логічного 0 на вході CLR. Входи паралельної завантаження даних 1, 2, 3 і 4 пов'язані з входами попередньої установки[тригерів](http://ua-referat.com/%D0%A2%D1%80%D0%B8%D0%B3%D0%B5%D1%80%D0%B8)(PS), що дозволяє встановлювати рівень логічної 1 на будь-який вихід (1, 2, 3, 4).Якщо на один з цих входів навіть короткочасно подати логічний 0, то на відповідному виході буде встановлена ​​логічна 1. Подача тактових імпульсів на входи C всіх JK-тригерів приводить до зрушення інформації в регістрі вправо. З четвертого тригера дані передаються в перший тригер (кільцеве переміщення інформації).

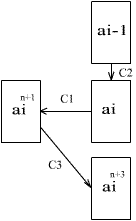
**Таблиця 1.**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №  рядки | **Входи** | | | | | | **Виходи** | | | |
| Очищення | Паралельна завантаження даних | | | | № тактового імпульсу | **1** | **2** | **3** | **4** |
| **1** | **2** | **3** | **4** |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 2 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 3 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 4 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 5 | 1 | 1 | 1 | 1 | 1 | 2 | 0 | 0 | 0 | 1 |
| 6 | 1 | 1 | 1 | 1 | 1 | 3 | 1 | 0 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 | 1 | 4 | 0 | 1 | 0 | 0 |
| 8 | 1 | 1 | 1 | 1 | 1 | 5 | 0 | 0 | 1 | 0 |
| 9 | 0 | 1 | 1 | 1 | 1 |  | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | 0 | 0 | 1 |  | 0 | 1 | 1 | 0 |
| 11 | 1 | 1 | 1 | 1 | 1 | 6 | 0 | 0 | 1 | 1 |
| 12 | 1 | 1 | 1 | 1 | 1 | 7 | 1 | 0 | 0 | 1 |
| 13 | 1 | 1 | 1 | 1 | 1 | 8 | 1 | 1 | 0 | 0 |
| 14 | 1 | 1 | 1 | 1 | 1 | 9 | 0 | 1 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 | 1 | 10 | 0 | 0 | 1 | 1  ��TD> |

Принцип роботи паралельного регістра зсуву описаний в **таблиці 1.** При включенні живлення на виходах регістра може встановитися будь двійкова комбінація, така, наприклад, як в рядку 1 таблиці. Подача логічного 0 на входи CLR тригерів ініціює очищення регістра (рядок 2). Далі (рядок 3) здійснюється завантаження в регістр двійкової комбінації 0100. Послідовні тактові імпульси викликають зсув введеної інформації вправо (рядки 4 - 8). У рядках 5 і 6: одиниця з крайнього правого тригера (четвертого) переноситься в крайній лівий тригер (перший). В даному випадку можна говорити про кільцевому переміщенні одиниці в регістрі. Далі (рядок 9) знову ініціюється очищення регістра за допомогою входу CLR. Завантажується нова двійкова комбінація 0110 (рядок 10). Подача 5 тактових імпульсів (рядки 11-15) призводить до кільцевому зрушенню інформації на 5 позицій вправо. Для повернення даних в початковий стан потрібно 4 тактових імпульсу.

Якщо в регістрі зсуву на **малюнку 13** розірвати петлю зворотного зв'язку, то ми отримаємо звичайний паралельний регістр зсуву: можливість кільцевого переміщення інформації буде виключена.



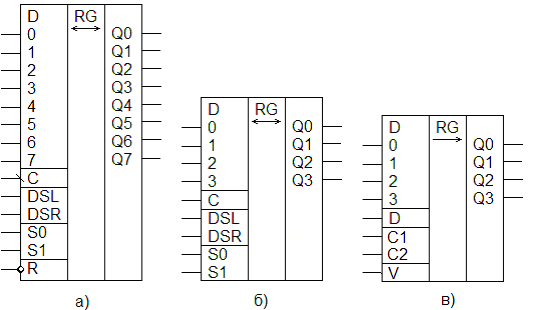


**Малюнок 14.** **Трехтактний регістр зсуву на RS-тригерах**

**3.4.** **Універсальні регістри**

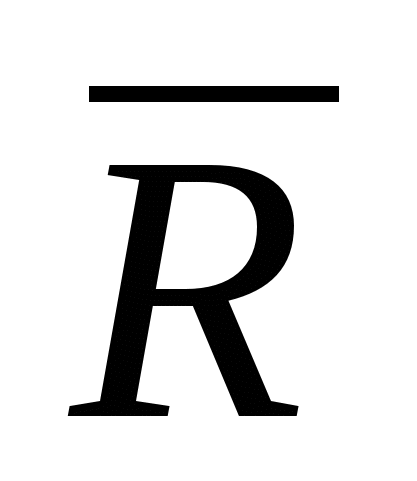
Часто замість звичайних послідовних або паралельних потрібно застосувати більш складні зсувні регістри: з паралельною синхронної записом інформації, реверсивні, реверсивні з паралельною синхронної записом. Такі регістри називають **універсальними.**

Є безліч серій ІВ регістрів багаторежимних (багатофункціональних) або універсальних, здатних виконувати набір мікрооперацій. Багаторежимний досягається композицією в одній і тій же схемі частин, необхідних для виконання різних операцій. Керуючі сигнали, які визначають вид виконуваної в даний час операції, активізують необхідні для цього частини схеми.



**Малюнок 15.** Універсальні регістри зсуву: а - К155ІР13, б - К500ІР141, в - КМ155ІР1

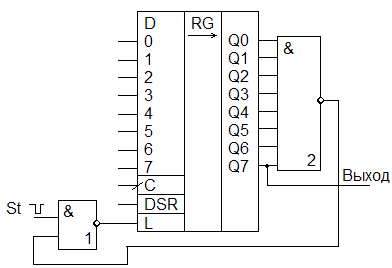
На **малюнку 15** показано три типові представника універсальних зсувних регістрів серії К155, КМ155 і К500.

Мікросхема ІР13 **(малюнок 15 а)** - це восьмирозрядний реверсивний зсувний регістр з допустимої тактовою частотою до 25 МГц при струмі споживання до 40 мА. Має паралельні входи і виходи, вхід асинхронного скидання  , Входи DSL (зсув вліво) і DSR (зсув вправо) по перепаду синхронизирующих імпульсів С, входи вибору режиму S 0 і S 1. При S 0 = 0, S 1 = 1 відбувається зсув інформації вправо, при S 0 = 1, S 1 = 0 - вліво, а при S 0 = S 1 = 1 - запис інформації в реєстр.

Мікросхема ІР141 **(малюнок 15 б)** - це універсальний чотирьох-розрядний зсувний регістр, побудований на емітерного-зв'язковий логіці. Тактова частота - до 150 МГц. Споживаний струм - не менше 120 мА. При S 0 = 0, S 1 = 1 відбувається зсув інформації вправо, при S 0 = 1, S 1 = 0 - вліво, а при S 0 = S 1 = 1 - зберігання числа, при S 0 = S 1 = 0 - установка числа.

Мікросхема ІР1 **(малюнок 15 в)** - це зсувний регістр з синхронної записом інформації на RS-тригерах. Входи 1 - 4 призначені для паралельного запису інформації, вхід D - для послідовного запису. Вхід V - керуючий. При V = 0 схема працює як зсувний регістр по негативному перепаду (з 1 на 0) сигналу С1, а при V = 1 схема працює в режимі синхронного запису в регістр сигналів входів 1 - 4 по негативному перепаду сигналу С2.

Регістри, що мають різнотипні вхід і вихід, служать основними блоками перетворювачів паралельних кодів в послідовні і назад. На **малюнку 16** показана схема перетворювача паралельного коду в послідовний на основі восьмирозрядного регістра типу SI / PO / SO. У цій схемі негативний стартовий імпульс St, що задає рівень логічного нуля на верхньому вході елемента 1, створює одиничний сигнал паралельного прийому даних на вхід L (Load - завантаження), за яким в розряди 1 - 7 регістра завантажується преобразуемое слово, а в нульовий розряд - константа 0. На послідовний вхід DSR подана константа 1. Таким чином, після завантаження в регістрі формується слово. Тактові імпульси, що надходять на вхід С, викликають зрушення слова вправо. Зрушення виводять слово в послідовній формі через вихід Q 7. Слідом за інформаційними розрядами йде 0, після якого ланцюжок одиниць. Поки нуль не виведений з регістра, на виході елемента 2 діє одиничний сигнал. Після виведення нуля всі входи елемента 2 стають одиничними, його вихід набуває нульове значення і через елемент 1 формує сигнал автоматичного завантаження наступного слова, після чого цикл перетворення повторюється.



**Малюнок 16.** Схема перетворювача паралельного коду в послідовний

Сучасні регістри мало пристосовані для виконання порозрядних логічних операцій, але при необхідності їх можна виконати користуючись регістрами на RS-тригерах. Для виконання операції АБО на S вхід статичного регістра з вихідним нульовим станом подається перше слово, одиничні розряди якого встановлюють відповідні тригери. Потім без скидання регістра на S виходи подається друге слово.

При виконанні порозрядної операції І в першому такті на S входи регістру подається перше слово, яке встановлює ті розряди регістра, в яких це слово має одиниці. Потім слід подати на регістр друге слово. Щоб у регістрі збереглися одиниці тільки в тих розрядах, в яких обидва слова мають одиниці, друге слово подається на входи R тригерів в інверсному вигляді.

Додавання за модулем 2 може бути виконано схемою з тригерами типу Т в розрядах шляхом послідовної в часі подачі на неї двох слів.

**4.** **Розробка схеми регістра зсуву**

**4.1.** **Вихідні дані**

Задані тактові імпульси позитивної полярності.

**4.2.** **Порядок розробки регістра зсуву**

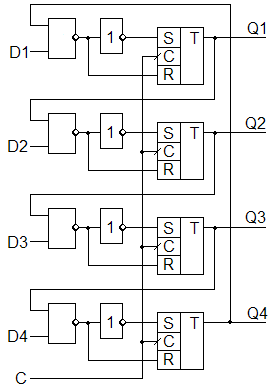
а) Розгляд загальних вимог до схеми регістра.

б) Розробка регістра зсуву.

в) Опис роботи розробленої схеми.

**4.3. Розробка чотирьохфазної регістра зсуву**

Необхідно розробити чотирьохфазним регістр зсуву на RS-тригерах. Нехай він буде правосдвігающім. Для цього нам знадобиться чотири синхронних RS-тригера з синхронізацією по фронту тактуючого імпульсу і деяке число логічних елементів для створення ланцюгів переносу. Так як зсувні регістри з послідовними входом і виходом мають низьку швидкодію, розробимо схему з паралельними входом і виходом.



**Малюнок 17.** Розроблена схема правосдвігающего синхронного регістру на RS-тригерах

Виконуючи інвертування сигналу на входах тригерів ми добиваємося того, що подача напруги однакових рівнів на входи S і R неможлива. Значить, при S = 0, R = 1 - на виході отримаємо 0, при S = 1, R = 0 - на виході отримаємо 1. На входах зрушується регістру необхідно встановити чотири елементи з наступною таблицею істинності:

|  |  |  |
| --- | --- | --- |
| **Х 1** | **Х 2** | **Y** |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Поєднавши четвертий вихід з першим входом ми отримуємо кільцевої правосдвігающій регістр. Інформація з виходу Q 4 не буде губитися, а буде циркулювати заново.

Оскільки такий регістр зсуву чотирирозрядний, кількість можливих комбінацій на вході складе 16. Розглянемо роботу нашого регістра при подачі на вхід деяких комбінацій.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № комбінації | **Вхід** | | | | | **Вихід** | | | |
| **D1** | **D2** | **D3** | **D3** | № синхроімпульса | **Q1** | **Q2** | **Q3** | **Q4** |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 2 | 1 | 1 | 1 | 0 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 2 | 1 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 0 | 0 | 1 | 1 |
| 3 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 0 |
| 4 | 0 | 0 | 0 | 1 |
| 4 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 1 | 0 | 0 | 1 |
| 3 | 1 | 1 | 0 | 0 |
| 4 | 0 | 1 | 1 | 0 |

**5.** **Висновок**

У курсовому проекті було розглянуто класифікацію регістрів, принципи їх роботи. Розглянуто типи і принцип роботи тригерів як головних складових регістрів. Було детально розглянуто регістри зсуву і, зокрема, зсувні регістри на RS-тригерах.

Також був спроектований правосдвігающій кільцевої синхронний чотирирозрядний регістр на базі чотирьох RS-тригерів і восьми логічних елементів. Наведена таблиця, що описує роботу регістра при деяких вхідних комбінаціях.

**6.** **Список використаної літератури**

1. *Прянішніков В. А.* Електроніка (курс лекцій). - С-П., 1998
2. *Скаржепа В.А., Луценко А. М.* Електроніка та мікросхемотехніка (частина перша). - К.: Вища школа, 1989
3. *Будище М. С.* Електротехніка, [електроніка та мікропроцесорна техніка](http://ua-referat.com/%D0%95%D0%BB%D0%B5%D0%BA%D1%82%D1%80%D0%BE%D0%BD%D1%96%D0%BA%D0%B0_%D1%82%D0%B0_%D0%BC%D1%96%D0%BA%D1%80%D0%BE%D0%BF%D1%80%D0%BE%D1%86%D0%B5%D1%81%D0%BE%D1%80%D0%BD%D0%B0_%D1%82%D0%B5%D1%85%D0%BD%D1%96%D0%BA%D0%B0). - Л.: Афіша, 2001
4. *Угрюмов Є. П.* [Цифрова схемотехніка](http://ua-referat.com/%D0%A6%D0%B8%D1%84%D1%80%D0%BE%D0%B2%D0%B0_%D1%81%D1%85%D0%B5%D0%BC%D0%BE%D1%82%D0%B5%D1%85%D0%BD%D1%96%D0%BA%D0%B0). - С-П., 2000
5. Довідник сучасних інтегральних мікросхем